

IDS

Japanese Patent No. P1041095

ABSTRACT

In a vapor phase growth layer having a pn junction, two kinds of impurities are doped in order to prevent impurity diffusion.

First group of the first kind of the impurity includes phosphorus or boron, and second group of the first kind of the impurity includes phosphorus or arsenic.

As the second kind of impurity, arsenic is doped in a range of 4 to 37% for each element of the first group.

Alternatively, as the second kind of impurity, antimony is doped in a range of 4 to 42% for each element of the second group.

(19)日本国特許庁(JP)

(11)特許出願公告

(12)特許公報(B1) 昭55-25492

(51) Int.Cl.³

H 01 L 21/20

識別記号

庁内整理番号

(24)(44)公告 昭和55年(1980)7月7日

7739-5 F

発明の数 1

(全5頁)

1

2

(2)半導体装置

審 判 昭49-7643

(2)特 願 昭45-54334

(2)出 願 昭45(1970)6月24日

(2)發 明 者 中村正克

川崎市小向東芝町1 東京芝浦電気
株式会社トランジスタ工場内

(2)發 明 者 米沢敏夫

川崎市小向東芝町1 東京芝浦電気
株式会社トランジスタ工場内

(2)發 明 者 加藤健敏

川崎市小向東芝町1 東京芝浦電気
株式会社トランジスタ工場内

(2)發 明 者 渡辺正晴

川崎市小向東芝町1 東京芝浦電気
株式会社トランジスタ工場内

(2)發 明 者 赤塚稔

川崎市小向東芝町1 東京芝浦電気
株式会社トランジスタ工場内

(1)出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

(2)代 理 人 弁理士 富岡章

外1名

(5)引用文献

東芝レビュー1970年Vol.25 No.3 PP 378~
382Journal of Applied Physics Vol.39 No.9
August 1968年 PP 4272~4283

USP 3200 019号 1965年 C1 148

図面の簡単な説明

第1図はブレーナトランジスタの断面図、第2図はシリコン基板に磷と砒素をドープした場合の磷に対する砒素の添加率と、このシリコン基板上にエピタキシャル気相成長層を形成して製作したトランジスタの二次降伏歩留及びバイアス不良発生率との関係を示す図、第3図及び第4図は本発明

に係るトランジスタのhFEの分布を従来のものと比較して示す図、第5図は本発明に係るトランジスタの雑音指数の分布を従来のものと比較して示す図である。

5 発明の詳細な説明

本発明はエピタキシャル気相成長層を備えたシリコン基体によつて構成された半導体装置に関する。

従来の半導体装置例えはシリコンNPN形ブレーナトランジスタにおいては第1図に示すようにN⁺形の単結晶シリコン基板1の一主面に形成されたN形のエピタキシャル気相成長層2に二酸化シリコン膜3をマスクとして不純物の選択拡散を行なつて形成したP形のベース領域5及びN⁺形

15 のエミッタ領域4を有する。

前記N⁺形シリコン基板1は一般ICアンチモン又は砒素を高濃度(通常~10²⁰/cm³)にドープした低比抵抗のものを用いており、これに厚さ5μ乃至50μ程度のエピタキシャル気相成長層2を20 形成している。しかしこのような構造のシリコン基体においては気相成長工程或いは不純物拡散工程中の加熱によりシリコン基板1中のアンチモン又は砒素が気相成長層2内に拡散してこれが気相成長層2内に結晶欠陥を作り原因となる。

25 特に低雑音用のトランジスタにおいてはシリコン基体に結晶欠陥の少ないことが要求されるが従来は前述の理由により欠陥の発生するのを避けることができずしたがつて高性能のトランジスタを得るのが困難であった。

30 本発明は前記従来の欠点を改善した半導体装置を提供するものである。

本発明の半導体装置はシリコン基板にドープする不純物として少なくとも2種類のシリコン中で活性な不純物を組合せて使用することによつてこれら35 の不純物がエピタキシャル気相成長層に拡散しても気相成長層内に結晶欠陥を発生し難いようになしたものである。このようにエピタキシャル気

相成長層内の結晶欠陥を減少させることによりこの気相成長層内にP-N接合を形成して構成される半導体装置の特性を改善することができる。

前記シリコン基板にドープする不純物は、燐と砒素、アンチモンと砒素、ボロンと砒素及び燐とアンチモン等の如くN形不純物2種の組合せ又はP形不純物とN形不純物の組合せを用いることができる。

前記各不純物を単独でシリコン中に拡散した場合にはシリコン中に結晶欠陥を多く発生する。例えれば砒素はシリコンと格子常数が極めて近似しておりシリコン中に拡散してもシリコンに歪を与えることはないにもかかわらず結晶欠陥の発生は避けられない。本発明における2種の不純物を同時にシリコン中に拡散することによって結晶欠陥の発生を防止する技術は前述の砒素の例から見ても明らかなる如く不純物(例えば燐)と格子常数の異なる他の元素例えは錫を組合せて拡散歪を減少させる公知の方法(ストレーンコンペンセーション)とは全く異なる。前記2種の不純物の組合せによつて結晶欠陥の発生が防止される機構については必ずしも明らかではないが添加された第2の不純物の存在によつて第1の不純物の析出が妨げられる結果であると想像される。これに対し单一不純物の場合はシリコン中で析出し易くこれが結晶欠陥発生の原因となると考えられる。

これら不純物の配合比は燐と砒素又は、ボロンと砒素の組合せの場合は砒素が燐又はボロンに対して4%乃至37%(原子数比、以下同じ)の範囲が適当である。

第2図はシリコン基板に燐と砒素をドープしたこの基板上に厚さ $5.0 \pm 5\mu$ 、比抵抗3乃至 $4\Omega cm$ のN形シリコンエピタキシャル気相成長層を形成したシリコン基体を用いて電力用トランジスタを作製し、このトランジスタの二次降伏発生率及びバイパス不良発生率(耐圧不良V_{cE0})とシリコン基板にドープした燐と砒素の配合比との関係を示すものであつて横軸に燐に対する砒素の添加率をパーセントで示し、縦軸に二次降伏歩留及びバイパス不良発生率をパーセントで示した。第2図から明らかなように燐に対する砒素の添加量が4%未満では砒素添加の効果が乏しく、二次降伏歩留が低く、又37%を超えると二次降伏歩留が低下すると共にバイパス不良発生率が増加し好ましくない。

このような傾向はボロンと砒素との組合せの場合も同様であるが、この場合にはP⁺形のシリコン基板を得るのが目的であるから如何なる場合でも基板中にN形層が出現することのないように砒素の添加量に対する配慮は必要である。

又燐とアンチモン又は砒素とアンチモンの場合燐又は砒素に対してアンチモンを4%乃至42%の範囲で添加するのが適当である。この添加量の上限が砒素の場合と異なるのはアンチモンと砒素の拡散係数が異なるため気相成長層に拡散する各不純物原子の総量が変ることに起因している。

なお、二次降伏電圧と結晶欠陥との関係は未だ明らかではないが本発明者等の実験によれば常に結晶欠陥の多い素子程二次降伏による不良発生率が高いことが判明した。

第3図及び第4図は本発明に係る電力用トランジスタの1例についてエミッタ接地電流増幅率(hFE)の分布とコレクタ電流(Ic)との関係を従来のものと比較して示したものである。

本例のトランジスタは不純物として燐と燐に対して18%の砒素とをドープした比抵抗0.01乃至0.015ΩcmのN形単結晶シリコン薄板の一正面に厚さ $5.0 \pm 5\mu$ 、比抵抗3乃至 $4\Omega cm$ のシリコンエピタキシャル気相成長層を形成した基体を用いて製作した。

第3図はIc=IAのときのhFE(hFE1)を示しておりここでは本発明に係るトランジスタと従来のそれとの間に殆んど有意差が認められないのに対し第4図に示すIc=5AのときのhFE(hFE2)では本発明に係るトランジスタが従来のものに比し、大幅に改善されていることが明らかである。

又第5図は本発明に係る低雑音用ブレーナトランジスタの雑音指数について従来のものと比較して示してある。

本例のトランジスタは前記電力用トランジスタの場合と同様のシリコン基板上に厚さ約1.2μ、比抵抗7乃至 $8\Omega cm$ のシリコンエピタキシャル気相成長層を形成した基体を用い、通常のブレーナ技術を適用してトランジスタを作製したものであつて、第5図から明らかなように雑音指数の分布の点でも本発明に係るものは明らかに改善されている。

以上説明したように本発明によれば結晶欠陥の

少ないシリコン半導体装置を得ることができ半導体装置の特性改善の効果が大きい。

又、以上の説明ではトランジスタについて述べたが本発明はこれに限定されるものではなくシリコンエピタキシャル気相成長層内に少なくとも1つのPN接合を備えた他の半導体装置例えばダイオード、サイリスタ、集積回路等に適用して同様の効果を奏するものである。

⑤特許請求の範囲

1 単結晶シリコン基体に、より高比抵抗のシリ¹⁰

コンエピタキシャル気相成長層を積層し、この気相成長層内に形成したPN接合とを具備し、前記シリコン基体に含有する少くとも2種の不純物は1種が硼又は砒素からなる第1群あるいは硼又は⁵砒素からなる第2群であり、他の1種として前記第1群中の各元素に対して4%乃至37%の割合で添加する砒素を、前記第2群中の各元素に対して4%乃至42%の割合で添加するアンチモンを選定することを特徴とする半導体装置。

図 1

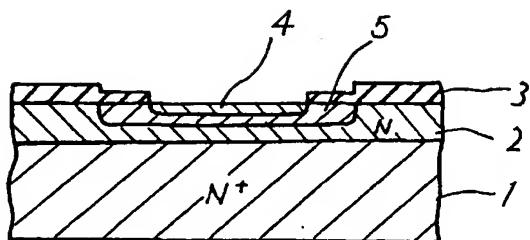


図 2

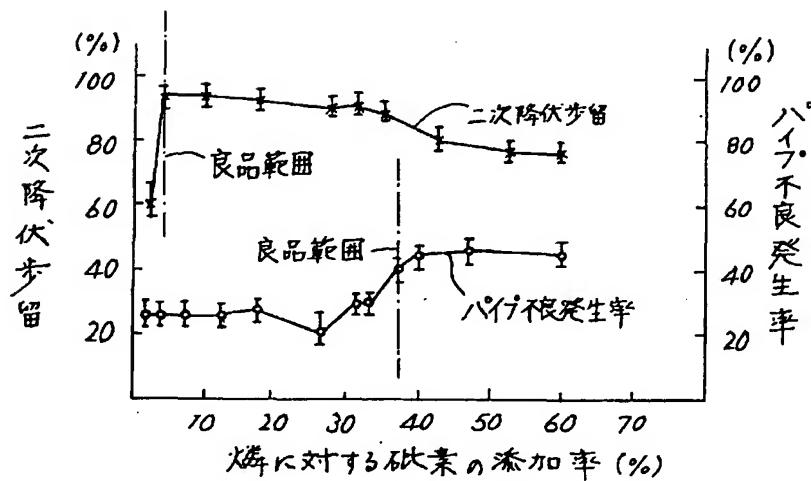
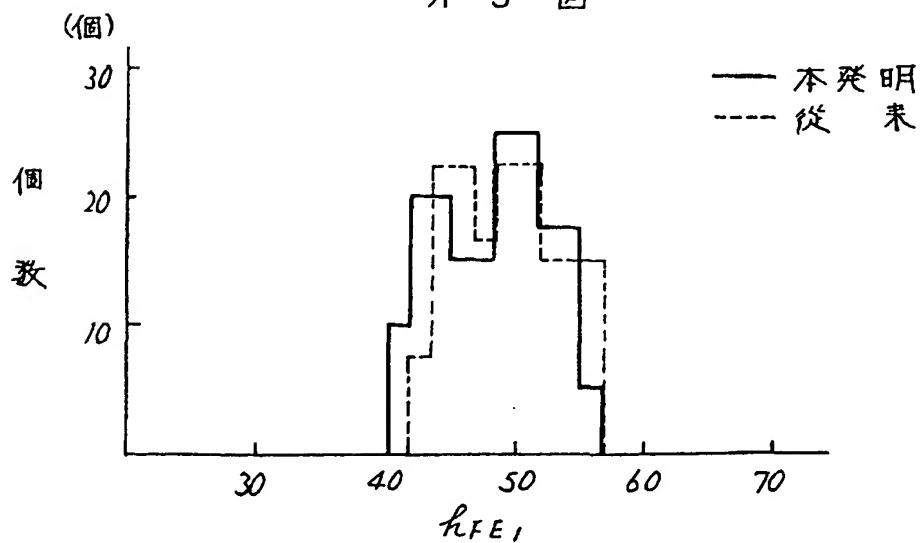
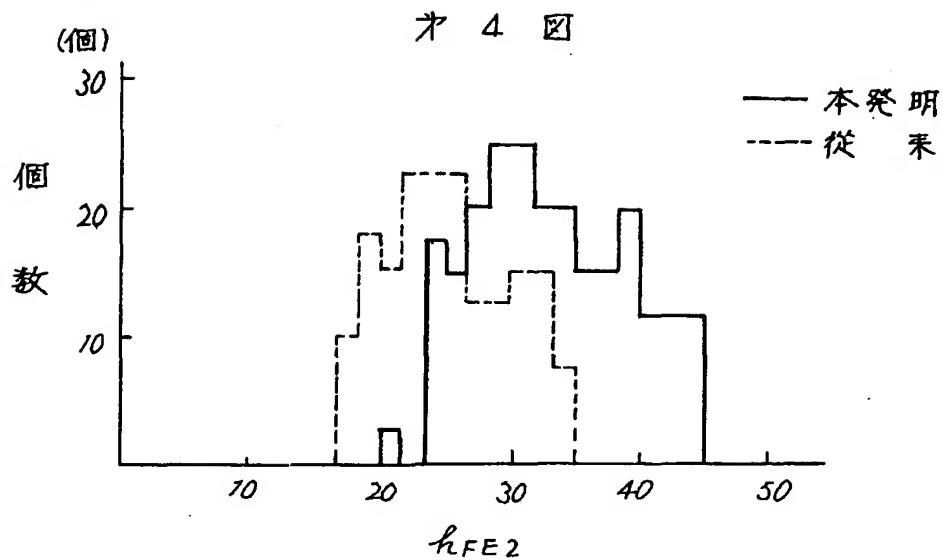


図 3





第5図

